

一种用于大规模无线传感网 RF 前端电路的 dB 线性可编程增益放大器

黄晓辉¹, 杨靖华², 郭桂良², 杜占坤², 阎跃鹏², 曾 云¹

(1 湖南大学 物理与微电子科学学院, 湖南 长沙 410082; 2 中国科学院 微电子研究所, 北京 100029)

摘 要: 设计了一种应用于大规模无线传感网 RF 前端芯片的数字控制 CMOS 可编程增益放大器(PGA). 该放大器采用五级增益单元级联结构, 每个增益单元采用了固定增益放大器加可编程衰减器的结构, 且具有直流漂移抑制功能. 增益的变化通过两步完成, $R-2R$ 梯形电阻网络实现 6dB 增益步进, 而 0.75dB 步进由串行电阻网络来完成. 后仿真结果表明, 放大器的动态范围为 10~88dB, 0.75dB 步进, 增益精确度为 0.7m dB, 最大增益下输出三阶交调点为 16.1dBm. 可编程增益放大器采用 SMIC 0.18 μ m 1P6M 混合信号 CMOS 工艺实现, 核面积约为 0.08mm².

关键词: PGA; 可编程衰减器; 直流抑制; dB 线性

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2010)11-0046-05

A CMOS Linear-in-dB Programmable Gain Amplifier for the RF Front-end Circuits of Large Scale Wireless Sensor Network

HUANG Xiao-hui¹, YANG Jing-hua², GUO Gui-liang²,
DU Zhan-kun², YAN Yue-peng², ZENG Yun¹

(1 College of Physics and Microelectronics Science, Hunan University, Changsha 410082, China;

2 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A digital-controlled programmable gain amplifier (PGA) is designed for the RF front-end circuits of large scale wireless sensor network. Five serial stages are employed in the PGA and Each stage is composed of a programmable attenuator followed by a fixed-gain amplifier that has the function of DC-offset rejection. Variable gain is achieved via two steps. The 6dB gain steps are implemented using the $R-2R$ ladder network and the 0.75dB gain step is implemented by a series ladder linear attenuator. Simulation results show that the PGA provide a 78dB gain control range with 0.75dB step and the overall gain accuracy was 0.7m dB. The OIP3 is 16.1dBm. The PGA is fabricated in 0.18 μ m 1P6M CMOS process and occupies 0.08mm² active area.

Key words: programmable gain amplifier; programmable attenuator; DC-offset cancellation; linear-in-dB

1 引言

在无线通信射频收发电路中, 天线接收到的信号是非常微弱并且信号强度是变化的. 为了使整个系统的动态范围最大, 需要一种增益可以根据输入信号强度不同而变化的放大器. 可变增益放大器的增益值可以根据需要进行调节, 以保证输出信号的

幅度基本恒定, 并广泛应用于磁盘读取驱动电路、图像传感器、电视调谐器等许多领域^[1].

本文设计的可编程增益放大器(PGA)应用于大规模无线传感网节点嵌入式芯片中, 也适用于采用低中频和零中频结构的射频前端电路. 该 PGA 的动态范围为 78dB, 增益步进为 0.75dB, 电路具有直流漂移消除功能以解决零中频结构存在的直流失调问

收稿日期: 2009-10-13; 修回日期: 2009-12-13

基金项目: 国家“八六三”计划项目(2007AA01Z2a8)

题.可编程增益放大器采用固定增益放大器加可编程衰减器结构,增益调节部分由可编程电阻衰减网络完成,增益值由电阻比值决定,步进精确度高且不引入非线性因素,因此整个放大器线性特性较好。

2 电路结构

PGA 采用多级级联结构,级联结构不仅可以减轻每一级的增益要求,更重要的是有利于整个放大器的线性性能优化。

PGA 级联结构图以及单元结构图如图 1 所示。第一级至第四级放大器单元结构相同,增益控制范围为 4~22dB,增益步进为 6.02dB;第五级为增益步进细化单元,该级的增益控制范围为 -6.02~0dB,增益步进为 0.75dB。八位增益控制数字码 D7-D0 由基带部分提供。

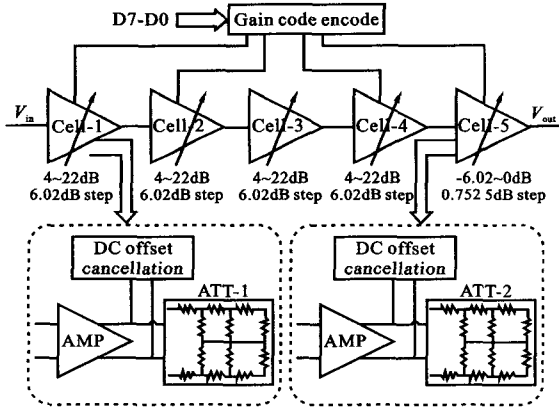


图 1 可变增益放大器结构框图

该可编程增益放大器每一级增益单元都包含主放大器、可编程衰减网络、直流失调消除电路三部分。本设计中将电阻衰减网络分布于各个增益单元,而不是采用高增益放大器后进行一次衰减得到所需信号幅度的结构,保证输入信号幅度的逐级增长,避免了输入信号经过高增益放大导致信号饱和,影响整个可编程增益放大器的线性。增益编码电路控制每级电阻衰减器的衰减值以实现整个可变增益放大器的 dB 线性。

2.1 主放大电路

为了得到高线性特性,主放大电路采用带源极负反馈电阻的差分结构,其原理图和共模反馈电路如图 2 所示。

放大器增益的一般表达式为等效跨导与负载电阻的乘积:

$$\text{Gain} = G_m \cdot R_L$$

带源极负反馈电阻的差分放大电路^[2]等效跨

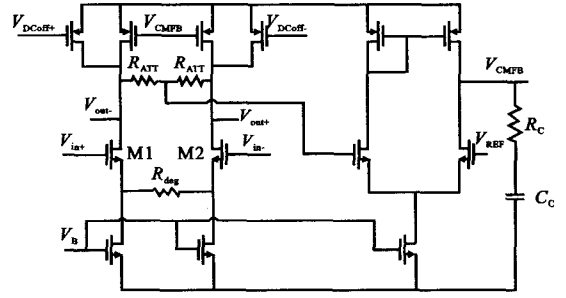


图 2 可编程增益放大器主放大电路

导表达式为

$$G_m = \frac{g_m}{1 + g_m \cdot R_{deg}}$$

式中, g_m 为差分对输入管 M1、M2 的跨导, R_{deg} 为源极负反馈电阻。

为进一步提高电路的线性特性,等效跨导 G_m 需为 g_m 的弱函数,要求 $g_m R_{deg} \gg 1$,此时放大电路增益由电阻的比值决定:

$$\text{Gain} = \frac{g_m \cdot R_L}{1 + g_m \cdot R_{deg}} \approx \frac{g_m \cdot R_L}{g_m \cdot R_{deg}} = \frac{R_L}{R_{deg}}$$

为满足 $g_m R_{deg} \gg 1$ 的要求,跨导提升技术^[3]被应用到电路中,如图 3 所示。该电路的等效跨导 $g_m = g_{m1}(1 + g_{m2}R_P)$, R_P 为节点 P 的输出电阻。用该增益提升电路代替主放大电路中的输入对管可以进一步提高电路的线性特性。

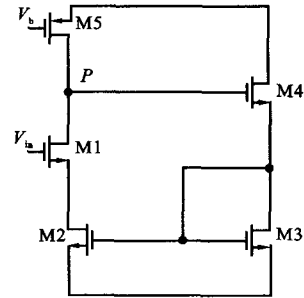


图 3 跨导提升电路

2.2 可编程衰减网络

固定增益放大器加衰减网络结构的可变增益放大器,其增益调节部分是由衰减网络完成的,电阻和开关构成的可编程衰减网络具有线性度高和增益控制精确的特点,因为电阻网络不会引入非线性,整个可变增益放大器的线性特性完全由固定增益放大器决定。同时,衰减量由电阻的比值决定,这时温度和工艺的偏差对衰减量的影响作用是可以预测的,从而得到精确的增益衰减量。

该可编程衰减网络通过两步来实现增益的调节,首先由多级 $R-2R$ 梯形电阻网络^[4]实现 6.02dB 的增益步进,增益调节的动态范围也主要由该部分决定的,然后由串联电阻网络来完成 0.752 5dB 的增益步进,整个衰减网络的增益步进和增益步进精确度由该部分决定。

$R-2R$ 梯形电阻网络用于实现以 dB 为单位的幅度衰减,具有衰减量精确,带宽近似是常数,输入线性范围较宽的优点.如图 4(a) 所示为八级 $R-2R$ 电阻衰减网络原理图。

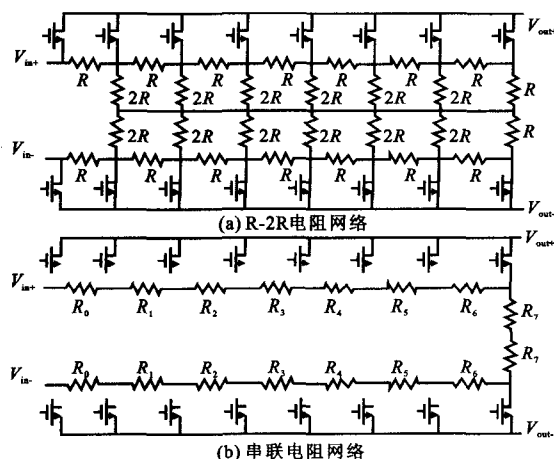


图 4 可编程衰减网络

$R-2R$ 梯形电阻网络包含两种阻值的电阻: R 和 $2R$,电路图中除最后一级纵向放置的电阻阻值为 R 外,其余纵向放置的电阻阻值均为 $2R$,横向放置的电阻阻值均为 R .电阻网络的输入电阻为 $2R$,并且任何一个开关连接节点的输入电阻均为 $2R$.衰减量的控制是通过控制开关 MOS 管的栅极电平实现的,当某个节点的开关 MOS 管栅极为高电平时将该节点信号选通到输出。

第一级衰减后输出 V_{out1} 为

$$V_{out1} = \frac{1}{2} V_{in}$$

第 n 级衰减输出 V_{outn} 为

$$V_{outn} = \left(\frac{1}{2}\right)^n V_{in} (n = 0 \sim 7)$$

第一级衰减量为

$$K_1 = 20 \lg \frac{1}{2} = -6.02 \text{ dB}$$

第 n 级衰减量为

$$K_n = 20 \lg \left(\frac{1}{2}\right)^n = -6.02n \text{ dB} (n = 0 \sim 7)$$

图中电阻衰减网络为八级结构,可以完成 $-42.14 \sim 0 \text{ dB}$ 范围的增益调节,每一级的衰减量为

-6.02 dB .若要增大增益调节的动态范围,增加 $R-2R$ 电阻的级数即可,理论上将可以通过增加 $R-2R$ 电阻的级数无限制的增加可编程衰减网络的动态范围,但是,随着级数的增加,寄生参数的影响越来越严重,导致幅频特性曲线出现尖峰,仿真结果显示 $R-2R$ 电阻的级数应小于 6,这也是本设计采用分级衰减的原因之一。

如图 4(b)所示为串联电阻网络,该网络中的阻值是不同的,输入电阻为各电阻阻值之和。

串联电阻网络的设计关键为确定各个电阻的阻值,保证相邻两个节点间的衰减量恒定为 0.752 5dB,根据衰减量确定电阻的比值依次得到各个电阻阻值。

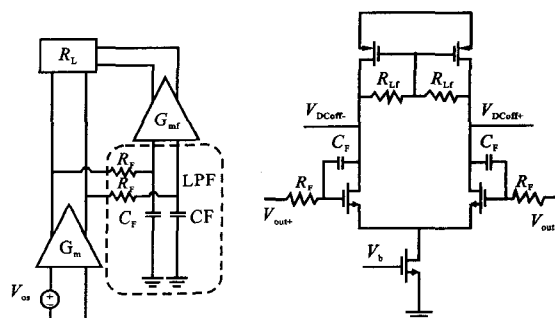
-0.752 5dB 的衰减量对应的电阻分压比为

$$r = 10^{-0.752 \text{ 5}/20} = 0.917$$

每一级的增益衰减值为 0.752 5dB,通过控制开关 MOS 管的栅极电平来决定增益衰减。

2.3 直流失调消除电路

由自混频效用和器件失配导致的直流失调是零中频结构接收机的固有缺点,直流失调电压必须被抑制到一定的值以保证系统的正常工作.常用的直流失调消除技术有三种:(1)采用大电容耦合或高通滤波电路直接滤除直流分量;(2)运用 DSP,在基带部分采用算法消除;(3)提取信号直流分量,再通过负反馈消除直流失调.本文采用了第三种技术,采用低通滤波的方法^[5-6]提取信号的直流分量,将其送入反馈放大器中,放大后的输出采用负反馈连接的方式送入主放大电路中,构成一个负反馈回路,从而达到消除直流失调的目的.直流消除电路结构框图和电路图如图 5 所示。



(a) 直流漂移消除电路结构框图

(b) 直流漂移消除电路

图 5 直流失调消除技术

图 5(a)中的主放大电路与反馈放大电路跨导分别为 G_m 、 G_{mf} ,主放大电路负载为 R_L ,虚框内为

低通滤波电路, V_{OS} 为等效输入直流失调, 假设经直流失调消除电路作用后输出直流失调为 V_{OSO} . 则有

$$V_{OSO} = \frac{G_m R_L}{1 + G_m R_{Lf}} V_{OS}$$

若 $1 + G_m R_{Lf} \gg G_m R_L$, 则 $V_{OSO} \ll V_{OS}$, 经过直流失调消除电路作用后输出直流失调被大大降低, 从而保证整个系统正常工作.

图 5(b) 为具体的直流失调消除电路, 输出信号 V_{out} 经过 LPF 送入反馈放大器, 产生反馈信号 V_{DCoff} , V_{DCoff} 作用于主放大电路完成直流失调抑制. 本文中低通滤波器的截止频率很低 (小于 2.4kHz), 这就要求很大的 $R_F C_F$, 针对 CMOS 工艺下大电阻和大电容耗费面积且难以实现的问题, 用亚阈值区工作的 MOS 管代替电阻, 同时利用密勒倍增效应增大电容的等效电容值, 这样即实现了大的 $R_F C_F$ 又节省了芯片面积.

3 仿真结果

本文提出的可编程增益放大器采用 SMIC 0.18 μ m 1P6M 混合信号 CMOS 工艺流片, 有效面积为 200 μ m $\times$ 400 μ m, 整个芯片版图上半部分为 Bandgap 模块^[7], 下半部分为可变增益放大器, Bandgap 模块为可变增益放大器提供基准电流和电压偏置. 整个可编程增益放大器版图如图 6 所示.

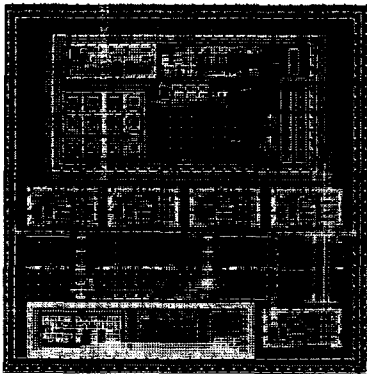


图 6 可编程增益放大器版图

图 7(a) 可编程增益放大器的增益动态范围仿真曲线, 增益范围为 10 ~ 88dB, -3dB 带宽为 15MHz. 图 7(b) 为最小单位步进效果图, 随着数字控制位的连续变化, 增益由 81.98dB 分八档增加至 88dB, 增益步进为 0.75dB, 最大增益步进偏差为 0.7m dB.

图 7(c) 显示了直流失调消除电路的效果图, 该指标的仿真条件为: 可编程增益放大器增益设置为

20dB, 输入信号直流失调为 60mV, 输入小信号幅值为 2mV. 仿真结果显示: 输出信号幅度为 20mV, 输出直流失调为 2.08×10^{-5} mV, 直流失调抑制效果为 -129dB. 同时在输入信号直流失调为 60mV 的情况下, 改变增益值, 直流失调抑制效果在 -123 ~ -138dB 范围内.

图 7(d) 为针对电路进行的双音信号测试, 输入信号频率为 5MHz 和 6MHz, 在最大增益条件下, 电路的输出三阶交调点为 16.1dBm.

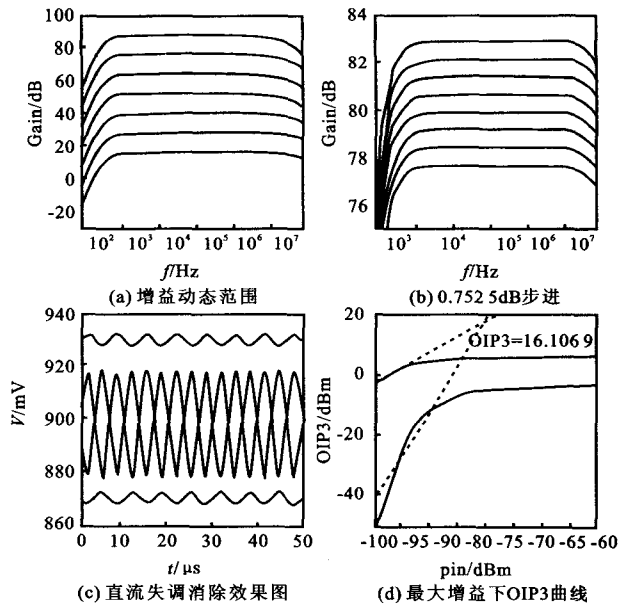


图 7 仿真结果曲线

4 结束语

设计了一款应用于大规模无线传感网节点嵌入式芯片 RF 前端芯片的数字控制的可编程增益放大器, 增益的调节由纯电阻网络决定, 确保了增益精确度, 实现了低于 1dB 的增益步进, 保证输出信号的幅值平坦度, 放大器具有 78dB 的动态范围, 电路具有直流失调消除功能, 可有效解决直接下变频接收机的直流漂移问题. 采用该结构设计的 PGA 具有动态范围调整简单、线性度高的特点, 因此能够满足多种移动接收设备的系统要求.

参考文献:

- [1] Hassan O Elwan, Mohammed Ismail. Digitally programmable decibel-linear CMOS VGA for low-power mixed-signal applications[J]. IEEE Transaction on Circuit and System-II: Analog and Digital Signal Processing, 2000, 47(5): 388-398.

- [2] Behzad Razav. Design of analog CMOS integrated circuits [M]. New York: The McGraw - Hill Companies, Inc, 2001:60 - 61.
- [3] Mohamed A I Mostafa, Sherif H K, Elmala M. A 60 - dB 246 - MHz CMOS variable gain amplifier for sub - sampling GSM receivers [J]. IEEE Transactions on Very Large Scale Integration (VLSI) System, 2003, 11(5): 835 - 838.
- [4] Bryan Scott Puckett. Design and analysis of an attenuator - based, four - channel, differential, 150MHz, linear - in - dB VGA with sub - nanosecond delay dispersion for PET applications[D]. Knoxville: The University of Tennessee, 2001.
- [5] Chien M Ta, Chee Hong Yong, Wooi Gan Yeoh. A 2. 7mW, 0.064mm² linear - in - dB VGA with 60dB tuning range, 100MHz bandwidth, and two DC offset cancellation loops[C]// IEEE International Workshop on Radio - Frequency Integration Technology. Austria: Graz, 2005:74 - 77.
- [6] Ji - Hun Kim, Chang - Seok Chae, Young - Jin Woo. A CMOS variable gain amplifier with wide dynamic range and accurate dB - linear characteristic[C]// ICACT. Korea, 2006,1:831 - 835.
- [7] 薛庆华,周玉梅.一种高性能 CMOS 能隙电压参考源的设计[J]. 微电子学与计算机,2003,20(10):38 - 40.

作者简介:

黄晓辉 男,(1984-),硕士研究生.研究方向为模拟集成电路设计.

阎跃鹏 男,(1963-),博士生导师.研究方向为无线通信系统、卫星导航定位等.

曾云 男,(1956-),博士生导师.研究方向为电子器件与集成电路及其应用.

(上接第 45 页)

参考文献:

- [1] Feldhofer M, Dominikus S, Wolkerstorfer J. Strong authentication for RFID systems using the AES algorithm [J]. Cryptographic Hardware and Embedded Systems - CHES,2004(3156):357 - 370.
- [2] Advanced Encryption Standard. National institute of standards and technology[S/OL]. [2001 - 11 - 26]. <http://csrc.nist.gov/publication/drafts/dfips-AES.pdf>.
- [3] 高磊,戴冠中. AES 算法中 SubBytes 变换的高速硬件实现[J]. 微电子学与计算机,2006,23(7):49 - 51.
- [4] Satoh A, Morioka S, Takano K, et al. A compact rijndael hardware architecture with S - box optimization[C]// Cryptology - ASIACRYPT 2001, 7th International Conference on the Theory and Application of Cryptology and Information Security. Gold Coast, Australia, 2001:239 - 254.
- [5] Jia Zhao, Xiaoyang Zeng, Jun Han, et al. Very Low - cost VLSI implementation of AES algorithm[C]// IEEE Asian Solid - State Circuits Conference. China: Hangzhou, 2006:223 - 226.
- [6] 王彬,任艳颖. 数字 IC 系统设计[M]. 西安:西安电子科技大学出版社,2005:73 - 77.

作者简介:

韩少男 男,(1984-),硕士研究生.研究方向为专用集成电路设计 and 应用.

李晓江 男,(1972-),硕士生导师.研究方向为专用集成电路设计 and 应用.